

PAT-NO: JP404147071A
DOCUMENT-IDENTIFIER: JP 04147071 A
TITLE: TEST CIRCUIT
PUBN-DATE: May 20, 1992

INVENTOR-INFORMATION:

NAME **COUNTRY**
NAKAMURA, YASUSHI

ASSIGNEE-INFORMATION:

NAME **COUNTRY**
NEC CORP N/A

APPL-NO: JP02270946
APPL-DATE: October 9, 1990

INT-CL (IPC): G01R031/28

US-CL-CURRENT: 714/33

ABSTRACT:

PURPOSE: To optimally set an input dummy random test pattern to a test circuit to be tested by converting feedback conditions of each F/F output for determining test pattern generation of a linear feedback shift register by an external signal.

CONSTITUTION: A conversion circuit 101 is inserted between F/FY_i (i = 1 to k) and an exclusive OR circuit 100, and a conversion format is set by a control terminal 102. Two conversion formats are available by X terminals 102 which are determined as necessary. An old feedback condition C_i of an F/FY_i output is input to the circuit 101, while a new feedback condition C'_i is input. The conversion format between the conditions is determined by a signal of the terminal 102. The number and location of transistors of the circuit 101 are selected so that such a pattern is generated that failure detection of a circuit to be tested is improved. Since the feedback condition can be thus changed by a signal from outside to the terminal 102, it is easy to set a plurality of test patterns thereby improving failure detectability.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-147071

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月20日

G 01 R 31/28

6912-2G G 01 R 31/28

V

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 テスト回路

⑯ 特 願 平2-270946

⑰ 出 願 平2(1990)10月9日

⑱ 発 明 者 中 村 康 司 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 熊谷 雄太郎

明 細 書

1. 発明の名称

テスト回路

2. 特許請求の範囲

半導体集積回路を試験する組み込み型テスト回路において、カスケードに接続されたフリップフロップからなるシフトレジスタと、外部からのコントロール信号により前記シフトレジスタの各ビットの出力を被テスト回路に適合した信号に変換する変換回路と、該変換回路の出力を入力する排他ORゲート回路とを有することを特徴としたテスト回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、テスト回路に関し、特に、被テスト回路に入力するテストパターンが外部からのコントロール信号により変えることができるテスト回路に関する。

従来の技術

従来におけるこの種のテスト回路は、第3図に

示すように、カスケードにつながり、シフトレジスタを構成するフリップフロップ Z_i ($i=1, 2, \dots, k$)と、各フリップフロップ Z_i ($i=1, 2, \dots, k$)の出力の排他OR論理値をとる排他ORゲート回路300とを有し、排他ORゲート回路300の出力はシフトレジスタのフリップフロップ Z_i の入力に帰還するという構成が採られていた(リニアフィードバックシフトレジスタ構成)。

上記テスト回路が発生するテストパターン Q_i ($i=1, 2, \dots, k$)は上記排他ORゲート回路300の構成により、一意的に決まる。

発明が解決しようとする課題

しかしながら、上述した従来のテスト回路は、カスケードにつながったフリップフロップからなるシフトレジスタの各ビット出力が直接排他ORゲート回路に入力しているために、出力 Q_i ($i=1, 2, \dots, k$)に生成されるテストパターンはシフトレジスタのビット数 K が固定の場合には排他ORゲート回路構成、即ち帰還条件 C_i ($i=1, 2, \dots, k$)により一意的に決定してしまうため

に、発生テストパターン Q_i ($i = 1, 2, \dots, k$)の変更ができないという課題があった。

本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記課題を解決し、被テスト回路に入力する疑似ランダムテストパターンを被テスト回路に応じて最適に設定することを可能とした新規なテスト回路を提供することにある。

課題を解決するための手段

上記目的を達成する為に、本発明に係るテスト回路は、カスケードに接続されたフリップフロップからなるシフトレジスタの各ビットの出力が一旦変換回路により被テスト回路に最適なものと変換されたのちに排他ORゲート回路に入力する構成が採られ、上記変換回路は外部からのコントロール信号により変換方法を設定できることを特徴としている。

実施例

次に本発明をその好ましい一実施例について図面を参照して具体的に説明する。

$C'a, C'\beta, C'\gamma$ の変換形式はコントロール端子信号 $a\alpha, a\beta, a\gamma$ により決まる。

変換回路101のトランジスタ $Tra, Tr\beta, Tr\gamma$ の数、配置方法は被テスト回路の故障検出を高めるようなパターンが発生できるように選ばれる。トランジスタ $Tra, Tr\beta, Tr\gamma$ が“オフ”のときに、それぞれの出力 $C'a, C'\beta, C'\gamma$ が不定にならないようにプルダウン抵抗201, 202, 203を通してグランドにおとすという対策が採られている。

第1図のノード1(103)における論理値 X は時刻 n の時には

$$X_n = \sum_{i=1}^k C'_i X_{n-1} \pmod{2} \dots (1)$$

式(1)のように書くことができる。但し X_{n-1} ($i = 1, 2, \dots, k$)は時刻 n におけるフリップフロップ Y_i ($i = 1, 2, \dots, k$)の論理値、 C'_i は第1図の変換回路101の出力である新帰還条件である。

発明の効果

第1図は本発明の一実施例を示す回路ブロック構成図である。

第1図を参照するに、第1図に示された本発明が第3図の従来例と異なる点は、変換回路101がフリップフロップ Y_i ($i = 1, 2, \dots, k$)と排他ORゲート回路100の間に挿入されていることである。変換回路101はコントロール端子102により、変換形式が設定されるような構成になっている。いま、コントロール端子102の本数が X 本 ($0 \leq X \leq k$)あるとすると、変換回路101の変換形式は 2^X とおりあることになる。 X の値は必要に応じて決めればよい。

第2図は第1図に示された変換回路101の内部構成例を示すものである。

第2図を参照するに、変換回路101には、第1図のフリップフロップ Y_i ($i = 1, 2, \dots, k$)の出力である旧帰還条件 $C\alpha, C\beta, C\gamma$ ($1 \leq \alpha, \beta, \gamma \leq k$)が入力し、変換回路101から新帰還条件 $C'\alpha, C'\beta, C'\gamma$ ($1 \leq \alpha, \beta, \gamma \leq k$)を出力する。 $(C\alpha, C\beta, C\gamma) \rightarrow (C'\alpha, C'\beta, C'\gamma)$

以上説明したように、本発明によれば、リニアフィードバックシフトレジスタのテストパターン発生を決定する各フリップフロップの出力の帰還条件を外部からの信号により変換することにより帰還条件を変えられるので、複数のテストパターンのセットが容易となり、被テスト回路の故障検出率が高くなるという効果が得られる。

4. 図面の簡単な説明

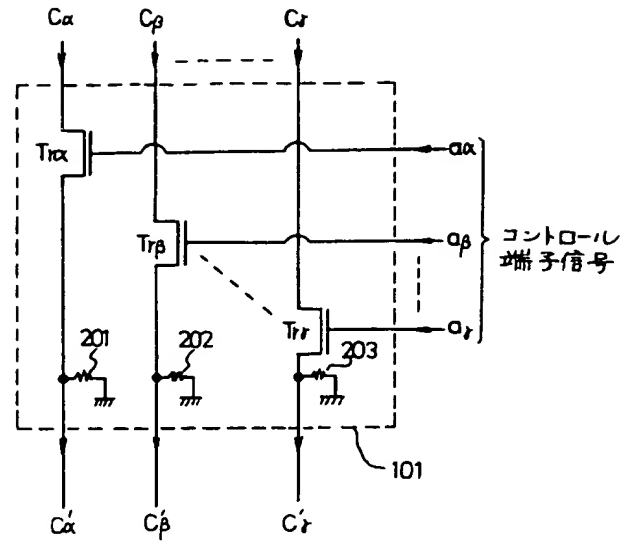
第1図は本発明の一実施例を示すブロック構成図、第2図は第1図に示された変換回路の具体的回路構成図、第3図は従来のリニアフィードバックシフトレジスタを用いたテスト回路のブロック図である。

Y_i ($i = 1, 2, \dots, k$)…フリップフロップ、 Q_1, Q_2, \dots, Q_k …出力、100…排他ORゲート回路、101…変換回路、102…コントロール端子、103…ノード1、 C_1, C_2, \dots, C_k …旧帰還条件、 C'_1, C'_2, \dots, C'_k …新帰還条件、 $C\alpha, C\beta, \dots, C\gamma$ …旧帰還条件、 $Tra, Tr\beta, \dots, Tr\gamma$ …MOSトランジスタ、 $C'a, C'\beta, \dots$

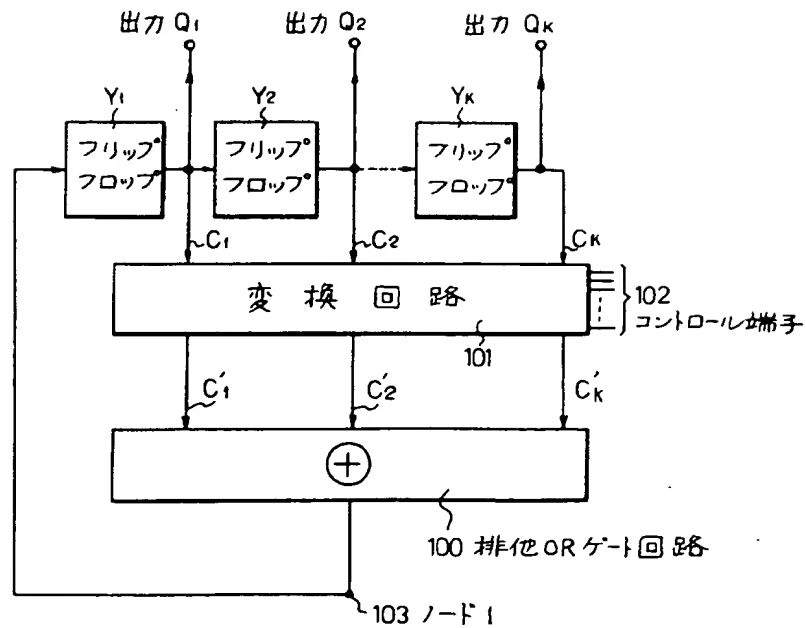
C_1, C_2, \dots, C_k ... 新帰還条件、 a_1, a_2, \dots, a_k ... コン
 トロール端子信号、201、202、203 ... プルダウ
 ン抵抗

$Z_i (i=1, 2, \dots, K)$... フリップフロッ
 プ、 Q_1, Q_2, \dots, Q_k ... 出力、300 ... 排他ORゲ
 ート回路、 C_1, C_2, \dots, C_k ... 帰還条件

特許出願人 日本電気株式会社
 代理人 弁理士 熊谷雄太郎

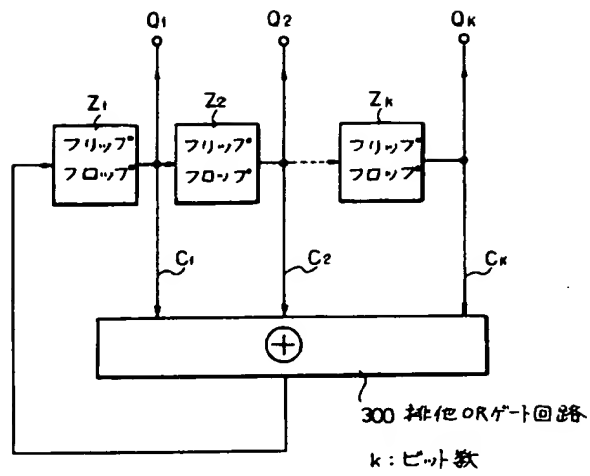


第 2 図



k: ビット数

第 1 図



第 3 図